CPLD åtgärder

Thursday, 26 August 2021 11:30

- [x] - Lägg till en extra datacykel när man bara får header för en kanal från Saltro.
(Gjort, men behövs ej om Saltron fungerar som den ska.)

- [x] - Lägg till beräkning av felflagga i headern. Just nu kopieras bara bit(29) från Saltrons trailer.

- [ ] - Sampelklockan delas med två, och måste synkas mellan MCMer. Det finns ett definierat kommando för det, men det används inte i MCM:en. Dessutom skapas sampelklockan av en PLL som inte går att reseta.
Bättre vore att använda en dividerare som man kan reseta med synk-kommandot. Det funkar ifall man kan broadcasta detta kommando till samtliga MCMer, annars måste man använda en L1 eller L2 trigger för att starta dividerarna samtidigt.

- [ ] Lägg till Saltro-reset som kommando i CPLDn.

- [x] Om det kommer event-headers utan någon data alls data till SRUn kommer en fifo att vara tom när den ska läsas. CPLDn måste därför skicka fejk-data i såna fall.

SRU Åtgärder

Monday, 30 August 2021 16:14

- [x] - ODDR på DTC utklockor
- [x] - Fasskifta DTC utklockor till bit-centered clock
- [x] - Unassigned pin, FLASH_A<11>
- [ ] - Fixa CDC i package_lenght: DTCEventRdy, rdo_cfg
- [x] - Skriv om tillståndsmaskinen i package_lenght så att den gör rätt med långa paket
- [x] - Udp_fsm följer inte AXI-protokollet och avslutar inte UDP-paketen korrekt. Fixa!
- [ ] - Byt packet_fifo till FWFT och skirv om FSM i packet_lenght för att slippa DLY2?
- [ ] - Fixa CDC i dtc_chrdocmd_fsm: last_packet_toggle?, Index_*
- [ ] - Fixa CDC i DtcRamMgt.v: DTCRamClr byggs av trig_err_detect i fel klockdomän.
- [x] - Brd_clk_p/n samt ttc_clk40_p/n har ingen diff_term i kretsen. Ska de inte ha det?
- [x] - Inga DTC-ingångar har diff_term heller. De drivs av en TI SN65LVDS100 som är gjord för att driva 100 Ohm.
- [x] - Synkronisera resetsignaler
- [ ] - Fixa felet med reset av fifo_rx_dtc i multiram?
- [x] - Fixa felet med att rx_fifo_fsm inte skriver något i dtc-fifot (size-fifot) om det bara kommer en header utan data
- [x] - Lägg till visuell indikering av reset, eftersom reseten inte startas förrän man släpper reset-knappen.
- [ ] - 2-3 större DTCRam istf 6 mindre.
- [ ] - Fixa bättre kvittens av busy-flaggan. UDP-flaggan försvinner ibland fortare än trig_err_detect hinner läsa den. Minskning av L2Latency är en workaround, men den är inte bra i längden.

Task list

Monday, 30 August 2021 17:16

task_list_2

Bugs:

- [ ] 1. Readout hangs after multiples of 28560 triggers

- [x] 2. Hangs on empty MCM
  Fixes:
  - CPLD Code added to handle certain reply sequences from Saltro. (These sequences don't seem to appear if the Saltro is handled correctly)
  - SRU DTC datapath couldn't handle data-less headers in the DTC stream, and would count the wrong number of bytes in the event when the CPLD inserts "8012" dummy words between channels.
  - L2 Latency set to be just above L1 Latency in srupup.cfg (4550 and 4500) to make sure the trig_err_detect unit looks at the UDP flags in time.

- [ ] 3. Limited number of samples can be read:
  2 channels with 1000 samples or 16 channels with 135 samples
  Can be temporarily fixed by reducing the number of parallel DTCRAMs.
  Most easily by removing support for DTC channels other than 0, 6, 12, 18, 24, 30, 36.
  There is probably also another limitation in another part of the datapath, but I haven't recognized where yet.
  But see item 7.

- [ ] 4. Sometimes, first channel read is lost.

- [x] 5. System is sensitive to noise/disturbances
  -Possibly fixed with CAT6 cables and better timing using phase trimming.
  Phase trimming should be added as a step in ilcserver startup. Ulf?

New development:

- [ ] 6. UDP driver (Sys_Unit) is an undocumented black box. Wants to replace with in-house UDP.
- [ ] 7. Can read only one MCM. Need to handle 40 per SRU.
  Use 2GB external memory for data storage?
- [ ] 8. SALTRO sampling clock needs to be synchronized across MCMs.
- [ ] 9. Synchronize three SRUs with the TLU unit
- [ ] 10. Saltro Preamp-shaper should be controlled by NIM input on the SRU by injecting register write commands to the MCM. Preferably new command to avoid read-modify-write. Millisecond timescale.
- [ ] 11. Similarly switching of ADC clocks. (100s of microseconds from clock on to first trigger)

New bugs:

12. CDC problems in SRU. Could be the cause of some intermittent problems (task 4?)

Jonas Improvement suggestions:

- [ ] 13. CPLD should set bias and reference voltages with I2C on powerup.
- [ ] 14. Replace java Daqpanels with something more convenient
- [ ] 15. Better phase alignment of DTC links: Phase alignment should have a mode that finds the center of eye. Maybe also trim each link individually with IDELAYs?